

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63015422 A  
(43) Date of publication of application: 22.01.1988

(51) Int. Cl H01L 21/306

(21) Application number:	61160151	(71) Applicant:	KOMATSU LTD
(22) Date of filing:	08.07.1986	(72) Inventor:	TABUCHI TOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

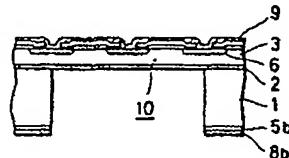
(57) Abstract:

PURPOSE: To form an silicon thin-film section having thickness having high precision with excellent reproducibility by using an SOI substrate as a starting material and conducting selective etching through anisotropic etching, employing a nitride film or an oxide film as an etching preventive layer from the substrate side.

CONSTITUTION: Pressure-sensitive resistance layers 6 and a wiring pattern are formed to the surface, and a first silicon oxide film 5b and a second silicon nitride film 8b on the back side of an SOI substrate are patterned through photolitho-etching. A first silicon ni-

tride film 2 is exposed through anisotropic etching by a potassium hydroxide liquid, using the patterns of the first silicon oxide film and the second silicon nitride film as masks, and a thin section 10 as a diaphragm is shaped, thus completing a semiconductor pressure sensor. The first silicon nitride film functions as an excellent etching stopping layer at that time, thus easily controlling thickness with superior reproducibility and high accuracy without precisely controlling the etching time.

COPYRIGHT: (C)1988,JPO&Japio



④日本国特許庁(JP)

④特許出願公開

④公開特許公報(A)

昭63-15422

⑤Int.Cl.1

H 01 L 21/306

識別記号

府内整理番号

B-8223-5F

⑥公開 昭和63年(1988)1月22日

審査請求 未請求 発明の数 1 (全4頁)

⑦発明の名称 半導体装置の製造方法

⑧特願 昭61-160151

⑨出願 昭61(1986)7月8日

⑩発明者 田淵俊宏 神奈川県平塚市横内1985-1

⑪出願人 株式会社小松製作所 東京都港区赤坂2丁目3番6号

⑫代理人 弁理士木村高久

明 極 意

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) シリコン薄膜部を有する半導体装置の製造方法において、

出発材料として、シリコン基板表面に絶縁層として酸化膜又は熱化膜を形成すると共に更にシリコン薄膜を形成してなるSOI(Silicon On Insulator)基板を使用し、

前記絶縁層をエッティング停止層として、前記SOI基板の所定の領域をシリコン基板側から異方性エッティングにより選択的にエッティングすることにより、前記シリコン薄膜部を形成するエッティング工程を含むことを特徴とする半導体装置の製造方法。

(2) 前記酸化膜は、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)からなることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(3) 前記酸化膜は、窒化ホウ素(BN)からなることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(4) 前記熱化膜は、酸化シリコン(SiO<sub>2</sub>)からなることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(5) 前記異方性エッティング工程は、水酸化カリウム(KOH)をエクタントとする工程であることを特徴とする特許請求の範囲第(1)項乃至第(4)項のいずれかに記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に亘り、特に、シリコンの薄膜部と該薄膜部に延設された支持部とを含む半導体装置の製造方法に関する。

(従来技術およびその問題点)

半導体技術の進歩に伴い、シリコンやゲルマニウム等の半導体のもつビエゾ抵抗効果を利用した半導体圧力センサが、近年注目されてきている。

半導体圧力センサにはいろいろな構造が提案されているがなかでも最も広く用いられているのは、第3図に示す如く、感圧部抗層としての抵抗層101aを見えた単結晶シリコンからなるダイヤフラム101を台座102に接着固定したダイヤフラム型の圧力センサである。103は接着層である。

この圧力センサは、ダイヤフラムが圧力を受けて変を生じることにより発生する抵抗値の変化を検出するものである。従って圧力に応じて正しい変を発生するようなダイヤフラムを形成する必要がある。このため、ダイヤフラムの厚さとは均一である必要があり、又、設計通りの厚さである必要がある。

製造に際しては、通常、シリコン基板内に感圧抵抗層としての抵抗層101aあるいは電極（図示せず）等を形成した後、前記シリコン基板表面をレジストで被覆保護すると共に、裏面にレジストRのパターンをホトリソ法によって形成する。（第4図(a)）

ものを出発材料とし、試P+型シリコン膜をエッティング停止層として用いる方法がある。この方法では、まずこのシリコン薄膜層202内に抵抗層202aや電極（図示せず）等を形成する。そして前記と同様にして、裏面をレジストRで被覆すると共に表面をレジストRのパターンで被覆した後、第5図(b)に示す如く裏面側からエッティング停止層としてのP+型シリコン層201が露呈するまでエッティングを続行するという方法がとられる。

しかしながら、この方法でも、P+シリコン層との型シリコン基板とのエッティング選択性はせいぜい10～20程度であるため、エッティング時間の許容度が小さい。また、P型シリコン層の被膜時に、オートドーピングによりシリコン基板表面に不純物が拡散し、P型シリコン層とN型シリコン基板との界面が移動し、これもエッティングによるダイヤフラムの厚さにムラを生じる原因となる。

更に、電気的にエッティングレートを固定しコントロールする方法も提案されてはいるが、複雑が

そして、この後、水酸化カリウム(KOH)をエッティング液として使用して、シリコン基板裏面側からエッティングし、ダイアフラムとしての溝部を形成する。（第4図(b)）

ここでこのダイアフラムの厚さは圧力センサの性能を大きく左右するものであるため、エッティング精度を高めるためにいろいろな工夫がなされている。

例えば、使用するエッティング液に対するエッティングレートに差つき、エッティング時間を算出してこれに従ってエッティング量（深さ）をコントロールする方法がある。

この方法では、出発材料としてのシリコン基板の厚さムラや、エッティング液の劣化等により、ダイヤフラムとなる内部部の厚さを精度良く形成するのは困難であった。

また、第5図(a)に示す如く、N型シリコン基板200の表面にP+型シリコン層201を形成した後、（I型の）シリコン薄膜層202をエピタキシャル成長せしめることによって形成した

複雑であるため並進並に欠ける上、複雑な形状のパターンを形成することは不可能である。

本発明は、前記実情に鑑みてなされたもので、すなわち、シリコンの内部部を形成することを目的とする。

#### 〔問題点を解決するための手段〕

そこで本発明では、シリコン基板表面に、窒化膜又は酸化膜を形成した後、所望の厚さのシリコン薄膜層を形成したものを利用材料とし、前記窒化膜又は酸化膜をエッティング停止層として異方性エッティングにより前記シリコン基板裏面側から選択的に除去し所望の形状のシリコンの内部部を形成するようにしている。

#### 〔作用〕

例えば窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>)、窒化ホウ素膜(BN)等は、本酸化カリウムをはじめとするシリコンの異方性エッチャントに対して、少なくとも300倍以上の選択性があるため、エッティング時間の余裕度が大きく、エッチャントに接触するだけで簡単に容易に形成可能である。ま

た、エッティング停止層の膜厚を薄くすることが可能である。

更にまた、シリコン基板、塗化膜、シリコン薄膜の各界面はシャープであるため、滑らかな膜厚のシリコン薄膜および塗化膜からなる内部部が形成される。

#### (実施例)

以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

第1図(a)乃至(c)は、本発明実施例の半導体圧力センサの製造工程について説明する。

まず、第1図(a)に示す如く、(100)方向に配向性を有する厚さ300μmのN型シリコン基板1上に、膜厚0.5μmの絶縁層としての第1の塗化シリコン膜2および膜厚10μmのシリコン薄膜膜3を堆積せしめてなるSOI(silicon on insulator)基板4を用意する。なおこのシリコン薄膜膜3は堆積後にアニールにより単結晶化されて形成したもので下地の(100)シリコン基板1の1部をシーザーとしており、同一の面方位を

有するようになっている。

次いで、第1図(b)に示す如く、熱酸化法により、前記SOI基板4の表面に膜厚0.5μmの第1の酸化シリコン膜5a、5bを形成する。

この後、フォトリソエッティングにより、第2図(c)に示す如く、前記SOI基板4の表面に基板用の窓Wを穿孔し、該窓Wを介してボロン(B)拡散を行ない、ドライブイン(酸化ガラス中での熱処理)工程を経て、感圧抵抗層としてのP型酸化層6aを形成する。このとき表面には第2の酸化シリコン膜7が形成されている。

続いて、CVD法により第1図(d)に示す如く、SOI基板4の裏面および裏面に第2の酸化シリコン膜8a、8bを堆積し、更に、フォトリソエッティングにより裏面側の酸化シリコン膜8aに対し、コンタクトホールHを穿孔する。

更に、電子ビーム蒸着法により、アルミニウム薄膜を形成し、これをフォトリソエッティングによりパターニングし、配線パターン9を形成する。(第1段(e))

このようにして、表面に、感圧抵抗層および配線パターン9を形成した後、フォトリソエッティングにより、SOI基板の裏面側の第1の酸化シリコン膜5bおよび第2の酸化シリコン膜8bをバターニングする。(第1段(f))

そして最後に、この第1の酸化シリコン膜および第2の酸化シリコン膜のパターンをマスクとして、水酸化カリウム液による異方性エッティングを行ない、前記第1の酸化シリコン膜2を露呈せしめ、第1図(g)に示す如く、厚さ10μmのダイヤフラムとしての内部部10を形成し、半導体圧力センサが完成する。

ここで(第1の)酸化シリコン膜に対するN型シリコン基板1との水酸化カリウムに対するエッティング選択性比は300倍以上であるため、第1の酸化シリコン膜が良好なエッティング停止層として働く。従ってエッティング時間は簡単に制御することなく、容易に再現性良く、高精度(±1μm)に厚さをコントロールしたダイヤフラムを用いた半導体圧力センサを構成することができる。

また、エッティング停止層として用いられる(第1の)酸化シリコン膜は、N型シリコン基板1およびシリコン薄膜膜3との界面が極めてシャープである上、エッティング選択性が高いため薄くても充分であり、センサ特性を高めることが可能である。また内部部の厚さも均一である。更にまた、SOI基板をそのまま出発材料として使うことができ製造が簡易である。

なお、実施例では、SOI基板の格擋層として塗化シリコン膜を用いたがこの他空化ホウ素膜等の酸化膜、酸化シリコン膜等の酸化膜を用いてもよい。ちなみに、酸化シリコン膜は、シリコンの異方性エッティングに用いられるエッチャントに対してエッティング速度が1/200倍以下である。

また、エッチャントとしては、水酸化カリウムに限定されることなく、他のエッチャントを用いてもよいことはいうまでもない。

加えて、実施例では、半導体圧力センサについて説明したが、これに限定されるものではなく、第2図(a)および(b)に示す如くカンチレバ

特開昭63-15422(4)

一、ピーム等の形成をはじめ、表面からもエッチングし、酸化膜、空化膜のみをピーム状、アリゲーション状に残すこともできる等他の半導体デバイスについても適用可能であることはいうまでもない。

#### [効果]

以上説明してきたように、本発明によれば、シリコン基板部を形成するに際し、シリコン基板上に絶縁層としての空化膜又は酸化膜を介してシリコン薄膜の形成されたSOI基板を出発材料とし、これを基板側から露記空化膜又は酸化膜をエッティングプロセスとして異方性エッティングにより選択的にエッティングするようにしているため、荷運送良好く、高精度の厚さのシリコン薄膜部を形成することが可能となる。

#### 4. 図面の簡単な説明

第1図(a)乃至(d)は、本発明実施例の半導体圧力センサの製造工程図、第2図(a)および(b)は、本発明の方法の他の適用例を示す図、第3図は、通常の半導体圧力センサの構造例を示す図、第4図(a)・(b)および第5図(a)

(b)は夫々、従来はダイヤフラム(基内部)の形成工程を示す図である。

101…ダイヤフラム、101a…底板(基板)、R…レジスト、200…P型シリコン基板、201…P+型シリコン膜、202…シリコン薄膜層、202a…基板層、1…N型シリコン基板、2…第1の酸化シリコン膜、3…シリコン薄膜層、4…SOI基板、5a、5b…第1の酸化シリコン膜、6…P型底板層(感圧抵抗層)、7…第2の酸化シリコン膜、8a、8b…第2の空化シリコン膜、9…配線パターン、10…内筋部。

出版人代理人 木村高久



第1図 (a)



第1図 (e)



第1図 (b)



第1図 (f)



第1図 (c)



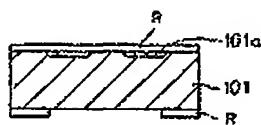
第1図 (d)



第2図 (a)



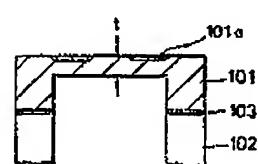
第2図 (b)



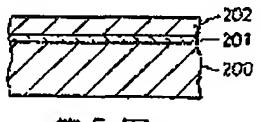
第4図 (a)



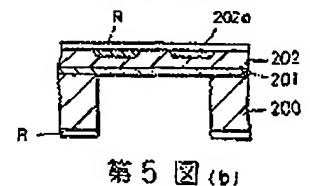
第4図 (b)



第3図



第5図 (a)



第5図 (b)